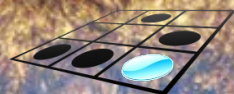
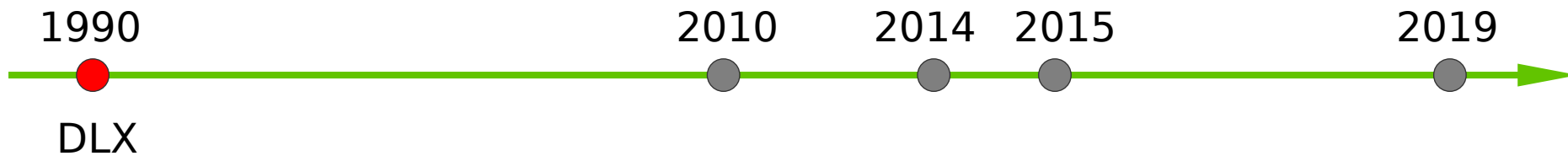


Архитектура RISC-V



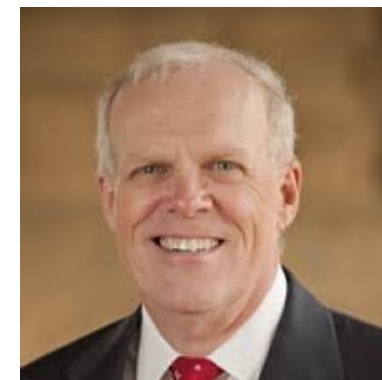
Временная линия RISC-V



- ◆ 32 bit
- ◆ RISC
- ◆ Bi-endian
- ◆ 32 общих регистра (R0 = 0)
- ◆ 32 FPU регистра
- ◆ Академические цели
- ◆ FPGA



David Patterson

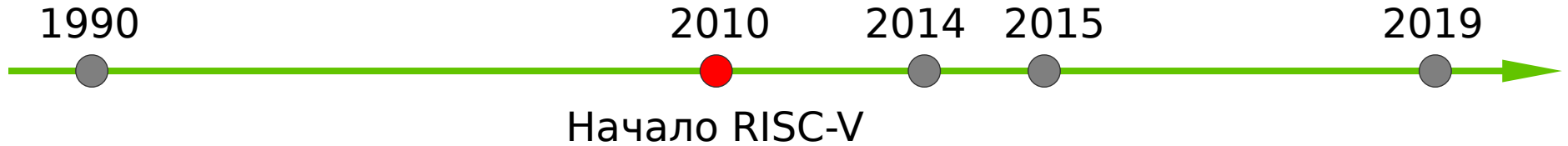


John Hennessy

<https://www.csee.umbc.edu/courses/undergraduate/411/spring96/dlx.html>

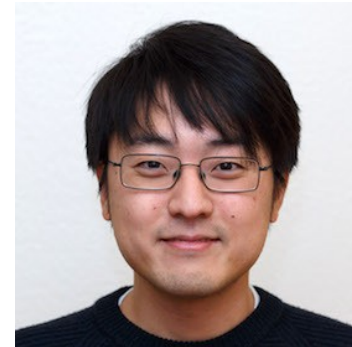
Format	Bits											
	31	26	25	21	20	16	15	11	10	6	5	0
R-type	0x0		Rs1		Rs2		Rd		unused		opcode	
I-type	opcode		Rs1		Rd		immediate					
J-type	opcode	value										

Временная линия RISC-V



- Летом 2010 года начата работа над первой версией RISC-V ISA
- RISC-V ISA была предназначена для образовательных и академических целей

<https://www2.eecs.berkeley.edu/Pubs/TechRpts/2014/EECS-2014-146.html>



Yunsup Lee



Andrew Waterman

Временная линия RISC-V

1990

2010

2014

2015

2019

HotChips 26 <https://riscv.org/2015/08/risc-v-at-hotchips/>



Временная линия RISC-V

1990

2010

2014

2015

2019

RISC-V Foundation



Alibaba Group
PLATINUM



Antmicro
FOUNDING PLATINUM



Berkeley Architecture Research
FOUNDING PLATINUM



Bluespec
FOUNDING PLATINUM



Cortus
FOUNDING PLATINUM



Google
FOUNDING PLATINUM



Huami
PLATINUM



Microchip Technology
FOUNDING PLATINUM



Micron Technology
PLATINUM



NVIDIA
FOUNDING PLATINUM



NXP
PLATINUM



Orion
PLATINUM



Qualcomm
FOUNDING PLATINUM



Rambus Inc.
FOUNDING PLATINUM



Samsung
PLATINUM



Sanechips Technology Co.
PLATINUM



SiFive
FOUNDING PLATINUM



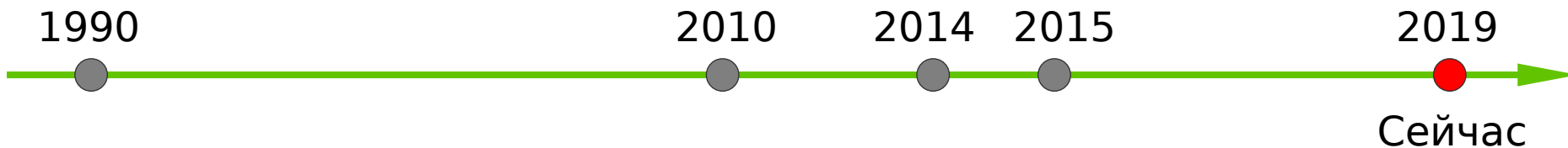
Thales
PLATINUM



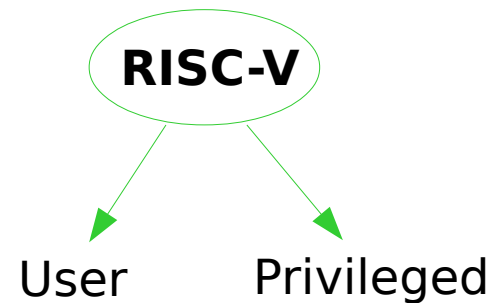
Western Digital
FOUNDING PLATINUM

<https://riscv.org/members-at-a-glance/>

Временная линия RISC-V



- ◆ 32/64/128 bit
- ◆ RISC
- ◆ Little-endian
- ◆ 32 общих регистра (x0 = 0)
- ◆ 32 FPU регистра (F,D расширения)
- ◆ FPGA, ASIC



31	27	26	25	24	20	19	15	14	12	11	7	6	0		
funct7			rs2			rs1		funct3		rd		opcode			R-type
imm[11:0]						rs1		funct3		rd		opcode			I-type
imm[11:5]			rs2			rs1		funct3		imm[4:0]		opcode			S-type
imm[12 10:5]			rs2			rs1		funct3		imm[4:1 11]		opcode			B-type
imm[31:12]										rd		opcode			U-type
imm[20 10:1 11 19:12]										rd		opcode			J-type


Уровни привилегий

Уровни привилегий позволяют запретить выполнение операций не предназначенных для заданного уровня и обеспечить защиту между разными компонентами программного стека.

4096 control and status registers (CSR)

Level	Encoding	Name	Abbreviation
0	00	User/Application	U
1	01	Supervisor	S
2	10	<i>Reserved</i>	
3	11	Machine	M

Уровень гипервизора
(в разработке)

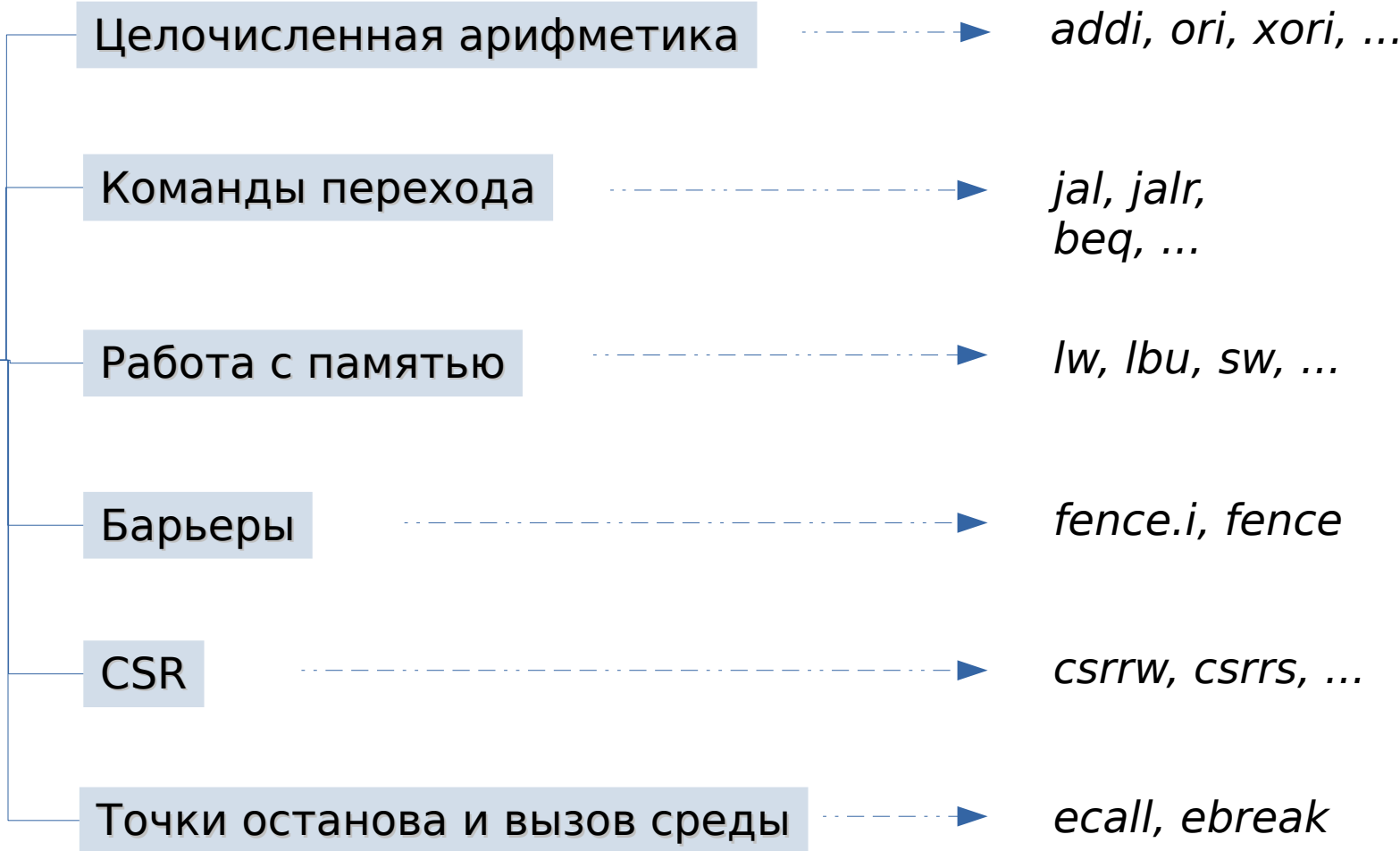


M - простые embedded системы

M+U - защищённые embedded системы

M+S+U - Unix-like OS

RV32I



RV32E уменьшенная копия RV32I

- Число регистров уменьшено до 16
- Регистры счётчиков циклов, выполненных инструкций и таймера больше не являются обязательными для реализации.
- RV32E может быть использовано только с расширениями M (multiplication), A (atomic) и C (compressed).
- Пример ядра: Ibex (lowRISC) <https://github.com/lowRISC/ibex>



RV64I

- Размер регистров увеличен с 32 до 64 бит
- Добавлены инструкции с постфиксом **W** для работы со знаковыми 32-битными числами
- Область применения: сервер, десктоп

RV128I

- Размер регистров увеличен с 32 до 128 бит
- Добавлены инструкции с постфиксом **D** для работы со знаковыми 64-битными числами (+RV64I)
- На данный момент в разработке
- Суперкомпьютеры

Завершённые расширения

M	Умножение и деление целых чисел
A	Атомарные операции
F	Число с плавающей запятой одинарной точности
D	Число с плавающей запятой двойной точности
C	Сжатые 16-битные инструкции
Q	Число с плавающей запятой четверной точности

IMAFDC (GC)
Linux совместимая ISA

Симуляторы

<https://github.com/mortbopet/Ripes>

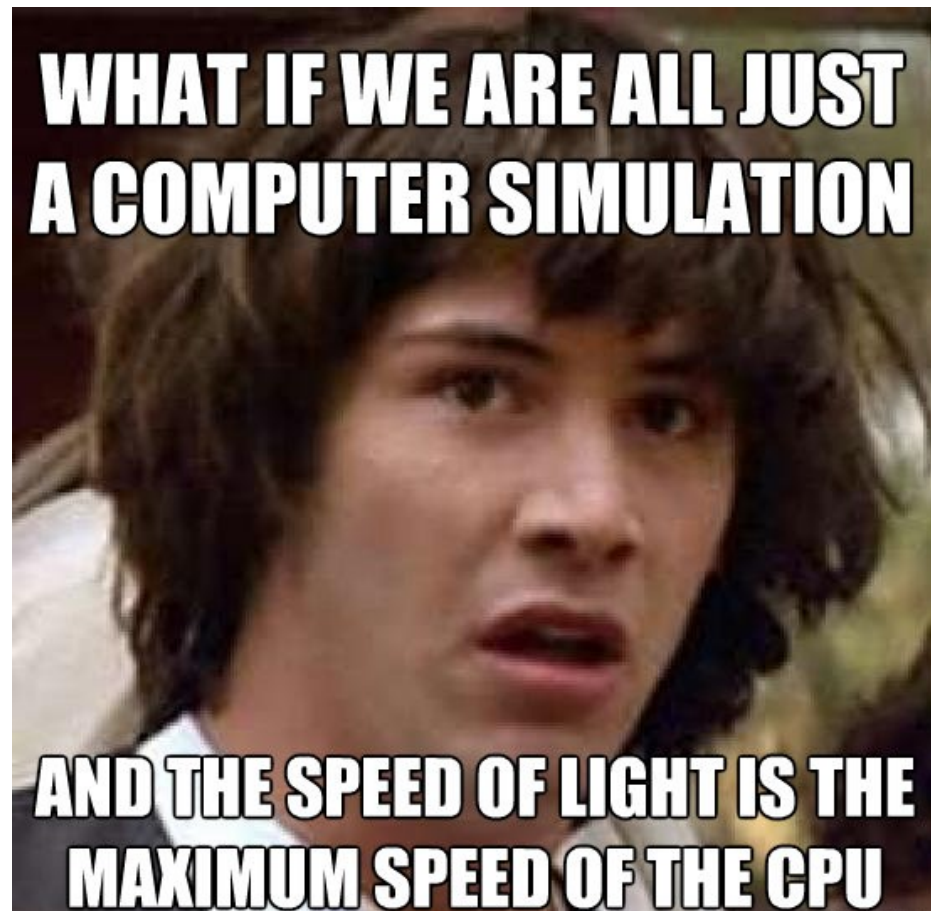
- RIPES
(RISC-V pipeline simulator & assembly editor)

<https://github.com/mortbopet/Ripes>

- RARS
(RISC-V Assembler and Runtime Simulator)

<https://venus.cs61c.org/>

- Venus
(RISC-V instruction set simulator built for education)



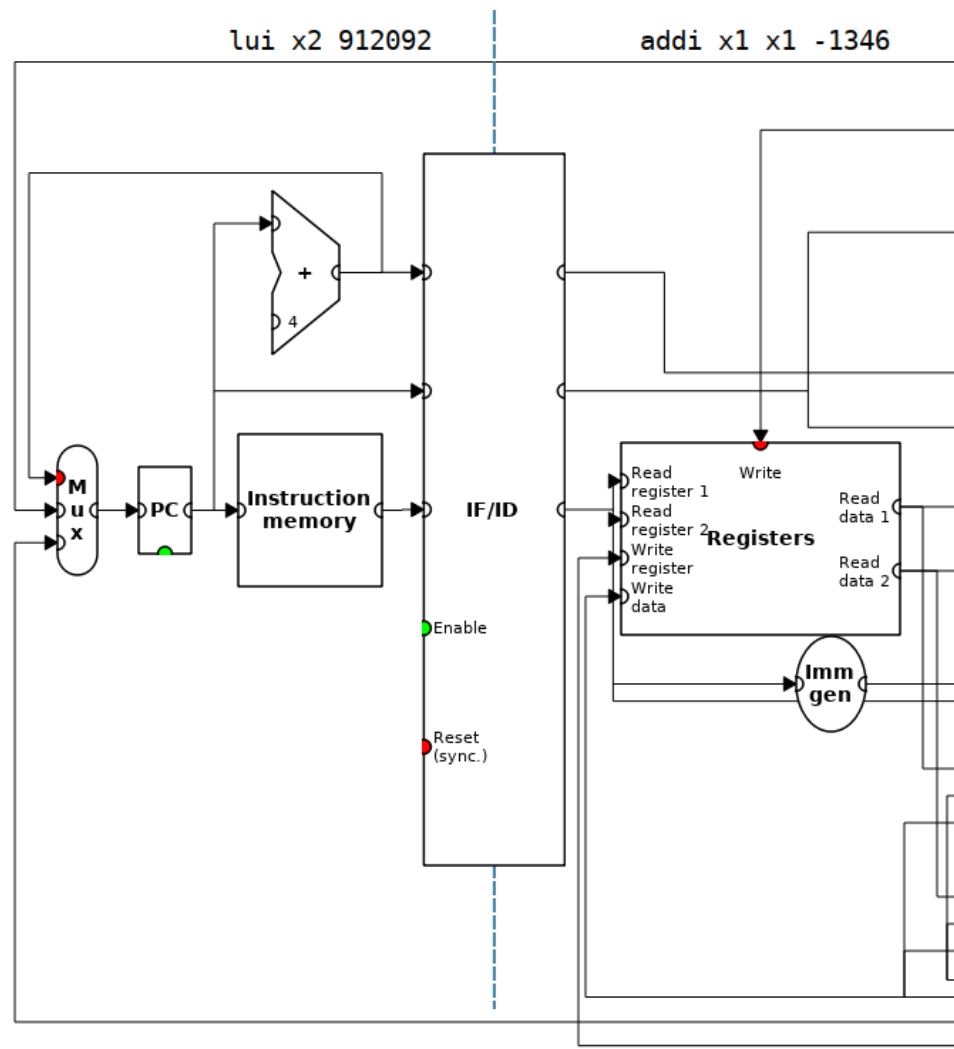
Source code

```
1 li x1, 0xcafebabe
2 li x2, 0xdeadbeef
3 add x1, x1, x2
```

Assembly

```
1 lui x1 831468
2 addi x1 x1 -1346
3 lui x2 912092
4 addi x2 x2 -273
5 add x1 x1 x2
```

- 5-уровневый конвейер (RV32IM)
- Графическое отображение конвейера
- C++ & Qt
- Лицензия MIT
- <https://packages.altlinux.org/ru/sisyphus/srpm/s/ripes>
- Пакет собран в Sisyphus



Source code

```
riscv1.asm
1  li t1, 0xcafebabe
2  li t2, 0xdeadbeef
3  add t1, t1, t2
```



Text Segment

Bkpt	Address	Code	Basic	Source
	0x00400000	0xcafec337	lui x6,0xffffcafec	1: li t1, 0xcafebabe
	0x00400004	0xabe30313	addi x6,x6,0xfffffabe	
	0x00400008	0xdeadc3b7	lui x7,0xffffdeadc	2: li t2, 0xdeadbeef
	0x0040000c	0xeef38393	addi x7,x7,0xfffffeef	
	0x00400010	0x00730333	add x6,x6,x7	3: add t1, t1, t2

Data Segment

Address	Value (+0)	Value (+4)	Value (+8)	Value (+c)	Value (+10)	Value (+1...	Value (+18)	Value (+1c)
0x10010000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010020	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010040	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010060	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010080	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100a0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100c0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100100e0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010100	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010120	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010140	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010160	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x10010180	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100101a0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100101c0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000
0x100101e0	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000	0x00000000

0x10010000 (.data) Hexadecimal Addresses Hexadecimal Values

Control and Status

Registers		Floating Point
Name	Number	Value
zero	0	0x00000000
ra	1	0x00000000
sp	2	0x7ffffeffc
gp	3	0x100000000
tp	4	0x00000000
t0	5	0x00000000
t1	6	0x00000000
t2	7	0x00000000
s0	8	0x00000000
s1	9	0x00000000
a0	10	0x00000000
a1	11	0x00000000
a2	12	0x00000000
a3	13	0x00000000
a4	14	0x00000000
a5	15	0x00000000
a6	16	0x00000000
a7	17	0x00000000
s2	18	0x00000000
s3	19	0x00000000
s4	20	0x00000000
s5	21	0x00000000
s6	22	0x00000000
s7	23	0x00000000
s8	24	0x00000000
s9	25	0x00000000
s10	26	0x00000000
s11	27	0x00000000
t3	28	0x00000000
t4	29	0x00000000
t5	30	0x00000000
t6	31	0x00000000
pc		0x00400000

- RV32IMF
- Java
- Лицензия MIT
- Пакет собран в Sisyphus

<https://packages.altlinux.org/ru/sisyphus/srpm/s/rars>

Source code

```
1 li t1, 0xcafebabe
2 li t2, 0xdeadbeef
3 add t1, t1, t2
```



Assemble & Simulate from Editor

Cancel

PC	Machine Code	Basic Code	Original Code
0x0	0xCAFE337	lui x6 831468	li t1, 0xcafebabe
0x4	0xABE30313	addi x6 x6 -1346	li t1, 0xcafebabe
0x8	0xDEADC3B7	lui x7 912092	li t2, 0xdeadbeef
0xc	0xEEF38393	addi x7 x7 -273	li t2, 0xdeadbeef
0x10	0x00730333	add x6 x6 x7	add t1, t1, t2

Registers Memory Cache

Integer (R) Floating (F)

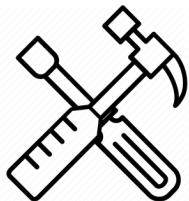
zero	0x00000000
ra (x1)	0x00000000
sp (x2)	0x7FFFFFF0
gp (x3)	0x10000000
tp (x4)	0x00000000
t0 (x5)	0x00000000
t1 (x6)	0x00000000
t2 (x7)	0x00000000
s0 (x8)	0x00000000
s1	0x00000000

Display Settings Hex

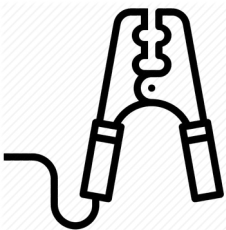
- RV32IM
- Web
- Лицензия MIT

Copy! Download! Clear!

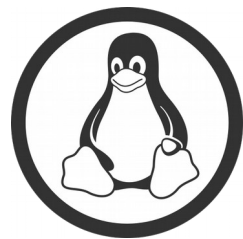
console output



Toolchain: binutils (>2.28), gcc (>7.1),
glibc (>2.27), gdb (>8.3), llvm 9



Bootloader: BBL, U-Boot, coreboot, grub



Linux kernel: поддержка RISC-V (RV64GC) начиная с 4.15
Дистрибутивы: ALT, Debian, Fedora, Gentoo

ALT на RISC-V

<https://www.altlinux.org/Ports/riscv64>

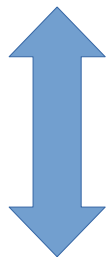
<https://www.altlinux.org/Regular/riscv64>

- Порт репозитория Sisyphus на RISC-V (rv64gc)
- Sisyphus-riscv ~ 6k SRPMs
<http://ftp.altlinux.org/pub/distributions/ALTLinux/ports/riscv64/Sisyphus/>
- Native сборка на SiFive HiFive Unleashed
 - 4xU54 (rv64gc), 28 nm, 1.5 GHz, 2Mb L2, 32K L1
 - 8 Gb DDR4-2400



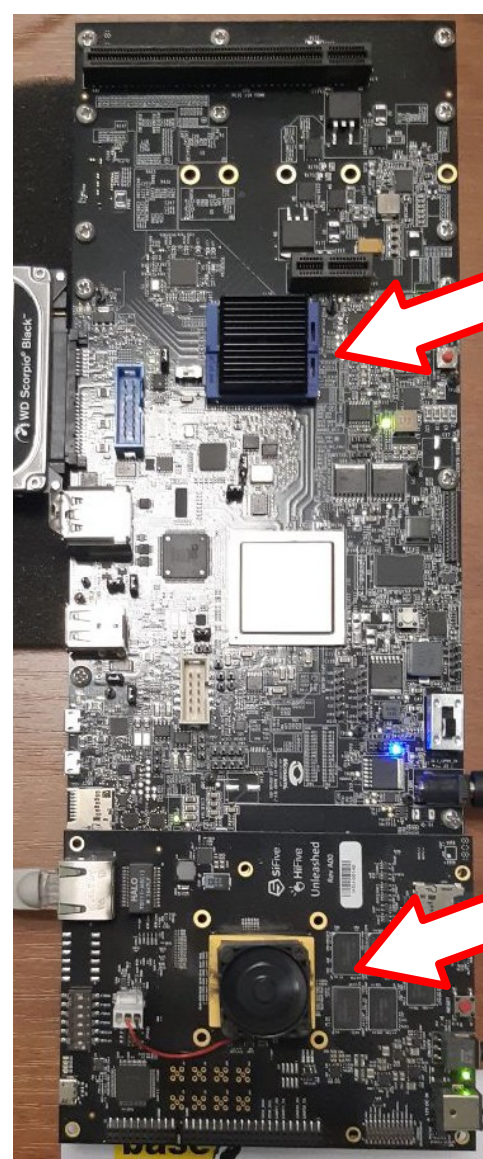
ALT на RISC-V

OpenVZ контейнер	https://www.altlinux.org/Gitery.alt gitery (git)
	https://www.altlinux.org/Girar girar (сборка из SRPM или gear репозитория) https://www.altlinux.org/Gear



Сборочная нода

<http://ftp.altlinux.org/pub/distributions/ALTLinux/ports/riscv64/Sisyphus/>



Microsemi
Expansion
Board

HiFive
Unleashed

ALT на RISC-V

<https://www.altlinux.org/Regular/riscv64>

Подготовлены 4 вида образов для **QEMU** (qcow2) и **HiFive Unleashed** (tar.xz rootfs)

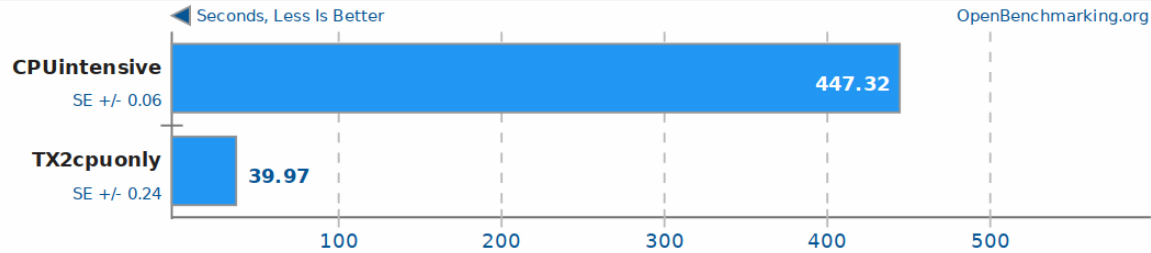


- Минимальная система с systemd
- Минимальная система с SysV
- Минимальная система для разработчика
<https://www.altlinux.org/Hasher>
(toolchain, ssh, rpmbuild, hasher, ...)
- Графическая система XFCE (X11, VNC)
<http://sisyphus.ru/ru/srpm/alt-rootfs-installer>
- alt-rootfs-installer (@antohami)

Backup

C-Ray v1.1

Total Time



Phoronix Test Suite 7.8.0

1. (CC) gcc options: -lm -lpthread -O3

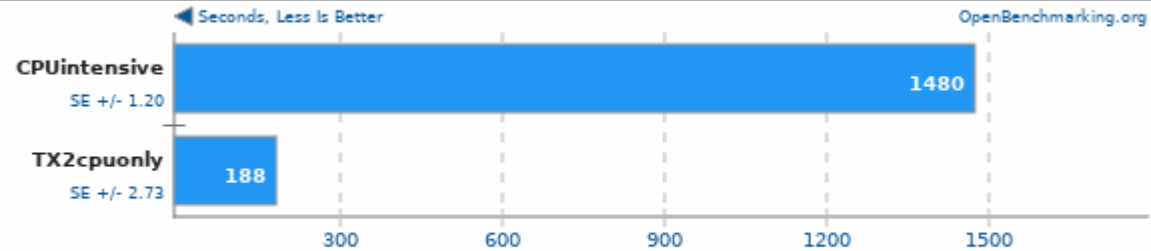
Jetson nano TX2

- ARMv8 x6 @2 GHz

- 8 Gb LPDDR4

Smallpt v1.0

Global Illumination Renderer; 100 Samples



Phoronix Test Suite 7.8.0

1. (CXX) g++ options: -fopenmp

ARM 32 Cortex A9

$$\frac{32.27 \text{ B instructions}}{\text{program}} \quad \frac{0.79 \text{ clock cycles}}{\text{instruction}} \quad \frac{0.71 \text{ ns}}{\text{clock cycle}} = \frac{18.85 \text{ secs}}{\text{program}}$$

BOOM RISC-V

$$\frac{29.51 \text{ B instructions}}{\text{program}} \quad \frac{0.72 \text{ clock cycles}}{\text{instruction}} \quad \frac{0.67 \text{ ns}}{\text{clock cycle}} = \frac{14.26 \text{ secs}}{\text{program}}$$

[Gal-On and Levy 2012]

U54MC Specifications

https://content.riscv.org/wp-content/uploads/2017/12/Tue1224-SiFive_Freedom_U500-Kang.pdf

- Speed:
 - TSMC 28nm HPC:
 - Typical: 1.5 GHz, 0.9V, 25C
 - Fast/Fast: 2.6 GHz, 0.99V, 125C
 - Slow/Slow: 960 MHz, 0.81V, -40C
 - Standard cell, 12-track library
- Area:
 - Single U54 Core-only Area: 0.234 mm²
 - Single U54 Core Complex Area: 0.538 mm²
 - Includes 32KB/32KB L1 Cache
- Performance:
 - 1.7 DMIPS/MHz
 - 2.75 CoreMark/MHz

DAXPY

```
void daxpy(size_t n, double a, const double x[], double y[])  
{  
    for (size_t i = 0; i < n; i++) {  
        y[i] = a*x[i] + y[i];  
    }  
}
```

ISA	ARM-32	ARM Thumb-2	MIPS-32	microMIPS	x86-32	RV32FD	RV32FD+RV32C
Instructions	10	10	12	12	16	11	11
Per Loop	6	6	7	7	6	7	7
Bytes	40	28	48	32	50	44	28