



**XV Конференция**  
разработчиков свободных программ  
28–30 сентября 2018 года, г. Калуга

# Открытая архитектура RISC-V



Никита Ермаков

# План

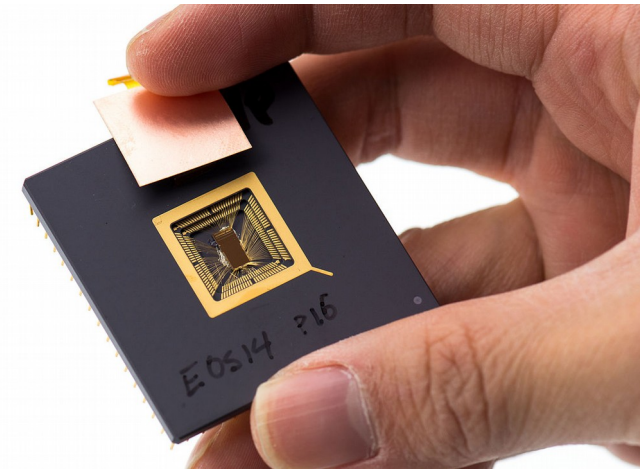
- RISC-V краткий обзор архитектуры
- Существующие и планируемые реализации RISC-V
- Портирование Linux на RISC-V

# Архитектура RISC-V



**RISC-V** – архитектура с сокращённым (RISC),  
открытым набором команд (ISA)

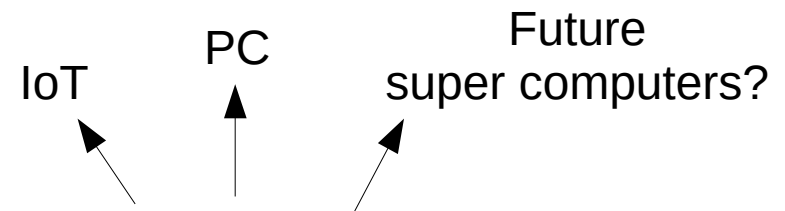
**ISA** – Creative Commons license (CC BY 4.0)  
все инструкции свободны от патентов



Проект был начат в 2010 году в университете Беркли (U.S.A, Калифорния)

ISA доступна в открытом доступе [<https://riscv.org/specifications>]

# Архитектура RISC-V



Особенности архитектуры: little-endian, RISC, 32/64/128 бит, расширяемость архитектуры

<b>I</b>	Запись, сохранение, переход, целочисленная арифметика	← Базовая архитектура
<b>M</b>	Умножение и деление целых чисел	
<b>A</b>	Атомарные операции	
<b>F</b>	Число с плавающей запятой одинарной точности	
<b>D</b>	Число с плавающей запятой двойной точности	
<b>C</b>	Сжатые 16-битные инструкции	
<b>Q</b>	Число с плавающей запятой четверной точности	
<b>V</b>	Векторные операции	

Например Linux Kernel:  
ISA – RV64IMAFDC  
ABI – lp64d

≤ 64-bit floating point arguments

long, pointers – 64 bit

И другие расширения....

# Аналоги RISC-V

[<https://www.openrisc.io/>]

## OpenRISC

- Начат в 2000 году
- Единственная версия архитектуры OpenRISC 1000 (or1k) – 32/64 bit
- Опциональные расширения: векторные операции, числа с плавающей запятой
- Linux 3.1 – поддержка or1k в 2011 году  
[\[https://wiki.debian.org/OpenRISC\]](https://wiki.debian.org/OpenRISC)
- 2016 год – порт Debian закрылся, активность по изменению кода ядра связанного с OpenRISC замедлилась



[<https://www.oracle.com/technetwork/systems/opensparc>]

## OpenSPARC

- Начат в 2005 году
- Открыты спецификации UltraSPARC T1, T2
- В основном ориентрованы на сервер
- Устаревшая архитектура  
[\[https://lwn.net/Articles/743602\]](https://lwn.net/Articles/743602)
- Поддержка Linux

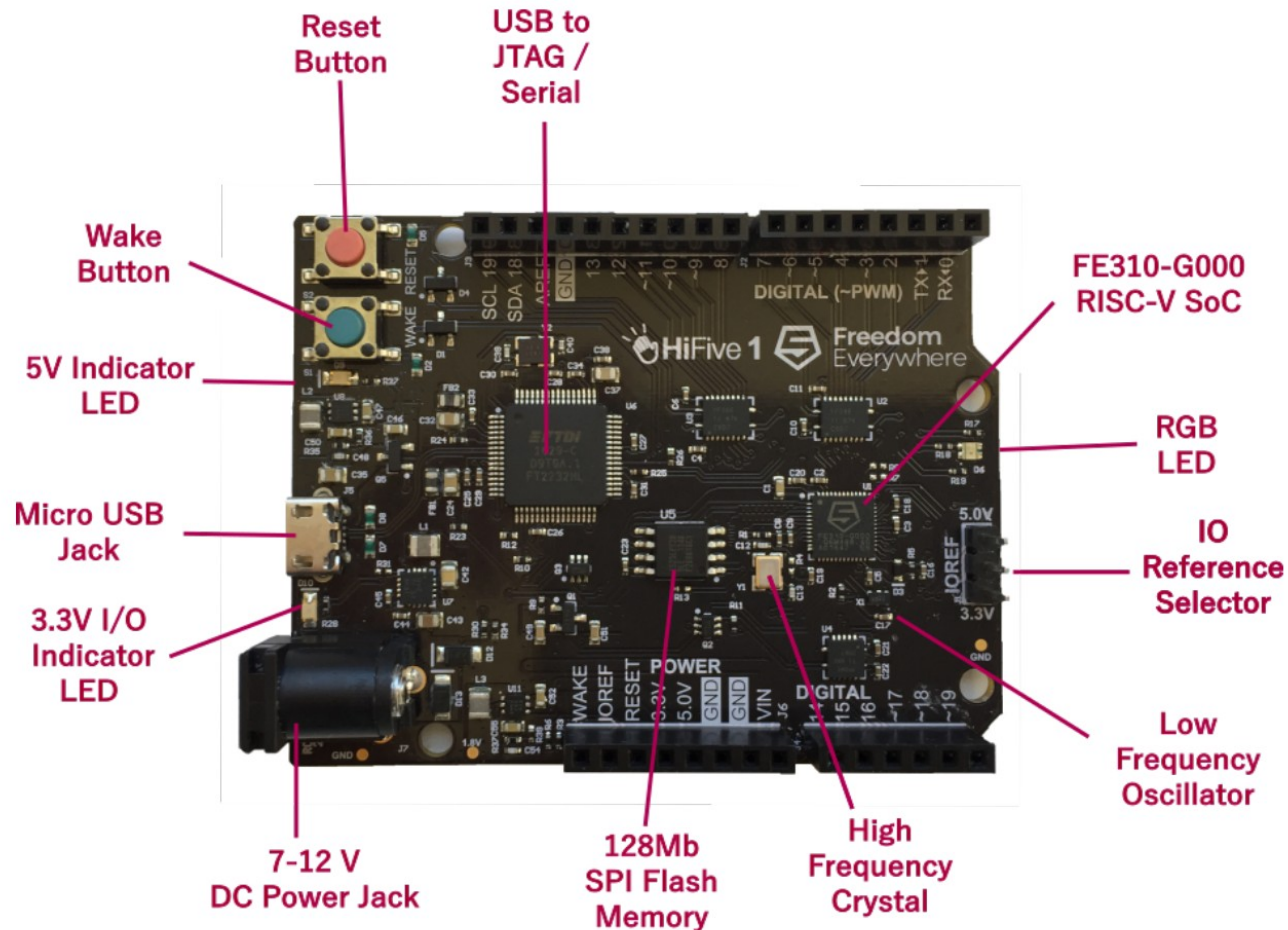


# Реализации RISC-V

[<https://static.dev.sifive.com/FE310-G000.pdf>]

- Чип **FE310-G000**
  - Ядро **E31** (ISA: RV32IMAC, 28nm – 870 MHz, 55nm – 370 MHz)
  - Производитель **SiFive**
  - В продаже с **2016 Q4**
  - Используется в **HiFive1**
- Arduino совместимый dev kit

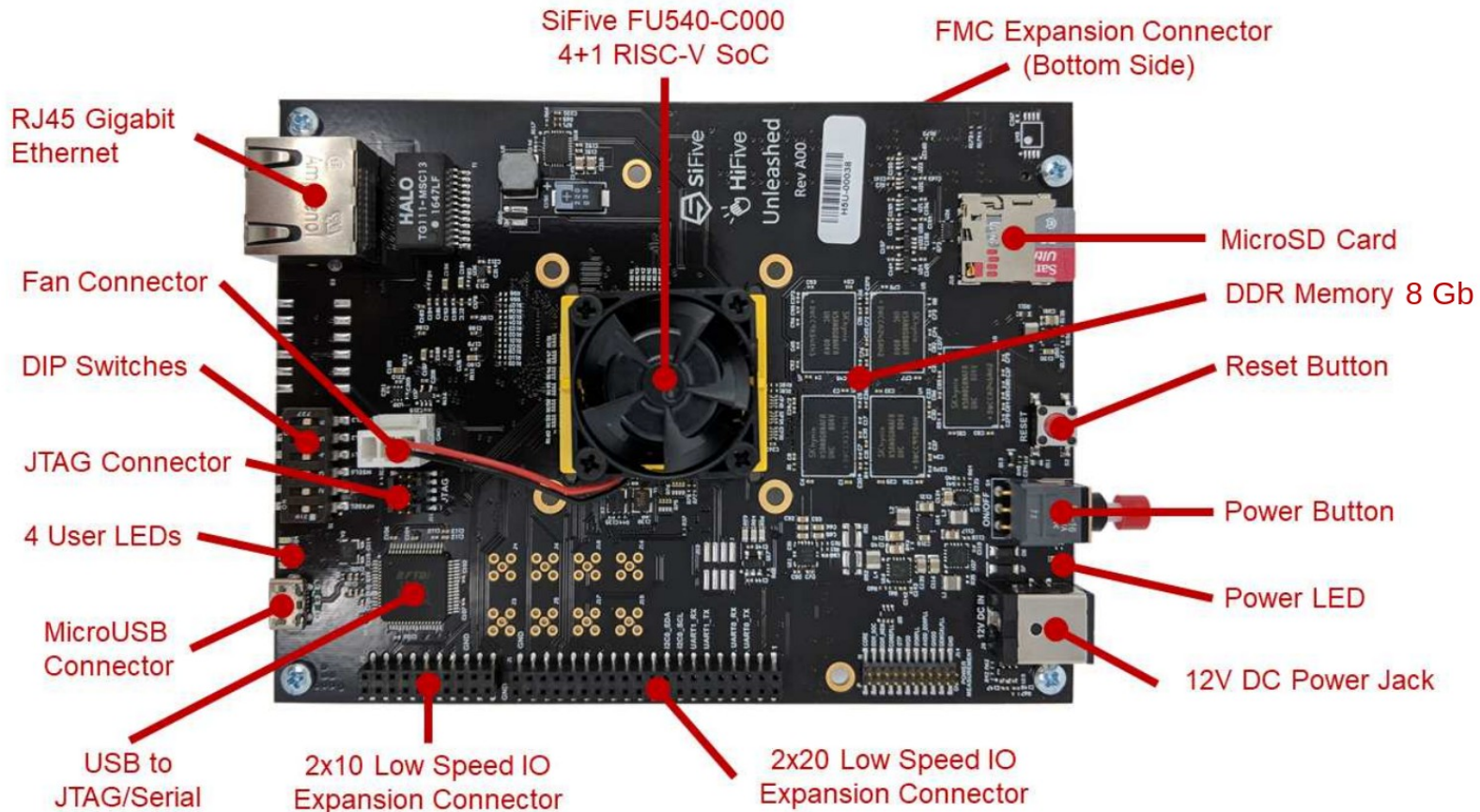
[<https://www.sifive.com/products/hifive1>]



# Реализации RISC-V

[<https://www.sifive.com/products/hifive-unleashed>]

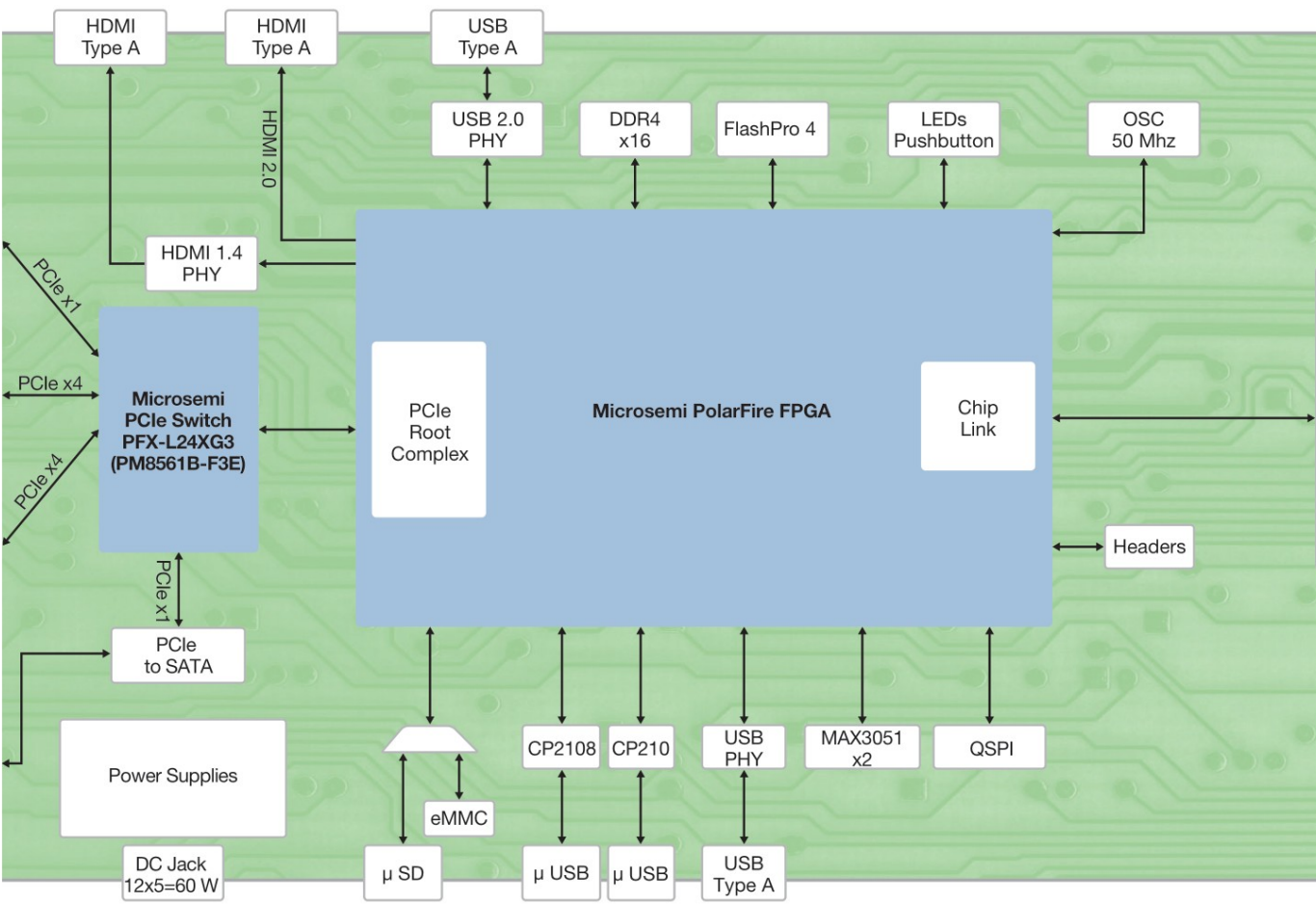
- Чип **FU540-C000**
- Ядро 4 **U54** (ISA: RV64IMAFDC), 1 **E51** (ISA: RV64IMAC), 28 nm, до 1.5 GHz
- Производитель **SiFive**
- Анонсирована **2018 Q1**, доступна для предзаказа
- Используется в **HiFive Unleashed development board**



# RISC-V Desktop

- Expansion board for HiFive Unleashed HFU540-EXP
- FPGA
- Добавляет SATA, M2, PCI-E 1x, PCI-E 16x, USB, eMMC, mSD, HDMI

[\[https://www.crowdsupply.com/microsemi/hifive-unleashed-expansion-board\]](https://www.crowdsupply.com/microsemi/hifive-unleashed-expansion-board)





# NVIDIA Falcon (Fast Logic CONtroller)

**Falcon** микропроцессор общего назначения, используемый различных GPU от NVIDIA

## Ограничения:

- Низкая производительность
- Нет кэша
- Нет защиты потоков (threads)
- 32-битное адресное пространство

новая  
→  
архитектура

## Требования:

- 2x кратное увеличение производительности
- Поддержка кэша и тесно связанной памяти (TCM)
- 64-битное адресное пространство



















**Рассматриваемые архитектуры:** ARM, MIPS, ARC, Cadence Tensilica, RISC-V

# NVIDIA Falcon (Fast Logic CONtroller)

Item	Requirement	ARM A53	ARM A9	ARM R5	SNPS HS	RISC-V Rocket	Falcon (improved)
Core perf	>2x falcon	Yes	Yes	Yes	Yes	Yes	No
Area (16ff)	<0.1mm <sup>2</sup>	No	No	Yes	Yes	Yes	Yes
Security	Yes	TZ	TZ	No	No	Yes	Yes
TCM	Yes	Yes	No	Yes	Yes	No	Yes
L1 I/D \$	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Addressing	64bit	Yes	No	No	No	Yes	No
Extensible ISA	Yes	No	No	No	Yes	Yes	Yes
Safety (ECC/Parity)	Yes	Yes	Yes	Yes	Yes	Yes	Yes
Functional Simulation model	Yes	Yes	No	No	Yes	No	Yes

NVIDIA было решено двигаться в сторону собственной реализации RISC-V – **NV RISC-V**

# RISC-V Foundation

	<b>Antmicro</b> FOUNDING PLATINUM		<b>Berkeley Architecture Research</b> FOUNDING PLATINUM		<b>Bluespec</b> FOUNDING PLATINUM
	<b>C-SKY</b> PLATINUM		<b>Cortus</b> FOUNDING PLATINUM		<b>Google</b> FOUNDING PLATINUM
	<b>Marvell</b> PLATINUM		<b>Micron Technology</b> PLATINUM		<b>Microsemi</b> FOUNDING PLATINUM
	<b>NVIDIA</b> FOUNDING PLATINUM		<b>NXP</b> PLATINUM		<b>Orion</b> PLATINUM
	<b>Qualcomm</b> FOUNDING PLATINUM		<b>Rambus Inc.</b> FOUNDING PLATINUM		<b>Samsung</b> PLATINUM
	<b>Sanechips Technology Co.</b> PLATINUM		<b>SiFive</b> FOUNDING PLATINUM		<b>Western Digital</b> FOUNDING PLATINUM

# RISC-V Linux порт

- Основные ISA: RV64IMAFDC, RV32IMAFDC  
[\[https://fedoraproject.org/wiki/Architectures/RISC-V\]](https://fedoraproject.org/wiki/Architectures/RISC-V)
- Fedora/RISC-V – порт дистрибутива Fedora на архитектуру RV64IMAFDC
  - ◆ В январе 2018 был начат третий (финальный) запуск Fedora 27 на RISC-V
  - ◆ В феврале 2018 был подготовлен Stage4 образ включающий GCC 7.3.1, Perl 5.26, Python 2 и 3, git, systemd, vim, devel и несколько X11 пакетов
  - ◆ В мае 2018 была запущена сборочница Koji для RISC-V
  - ◆ Общение в основном происходит в [#fedora-riscv@freenode](#)



# RISC-V Linux порт

[<https://wiki.debian.org/RISC-V>]

- Debian RISC-V – порт дистрибутива Debian на архитектуру RV64IMAFC
- ♦ Февраль 2016 – начата подготовка в будущему порту Debian
- ♦ [\[https://people.debian.org/~mafml/posts/2017/20170422\\_debian-gnulinux-port-for-risc-v-64-bit-riscv64\]](https://people.debian.org/~mafml/posts/2017/20170422_debian-gnulinux-port-for-risc-v-64-bit-riscv64)  
♦ Апрелье 2017 – появился неофициальный репозиторий
- ♦ Март 2018 – порт был добавлен в debian-ports
- ♦ Mailing lists: [debian-riscv@lists.debian.org](mailto:debian-riscv@lists.debian.org),  
<https://lists.debian.org/debian-riscv/>
- ♦ IRC: [#debian-riscv@irc.debian.org](https://irc.debian.org/#debian-riscv)



# Порт ALT



- Ранняя стадия портирования RV64IMAFDC
- АРТ репозиторий RPM пакетов собранных через crossdev (3400 RPM):  
<ftp://ftp.altlinux.org/pub/people/glebfm/repo.riscv64/riscv64>
- Начата native сборка пакетов из Sisyphus на HiFive Unleashed (3110 RPM):  
<ftp://ftp.altlinux.org/pub/people/arei/riscv/repo>
- В целях bootstrap выложен rootfs, который будет обновляться каждый месяц:  
<ftp://ftp.altlinux.org/pub/people/arei/riscv/rootfs>
- IRC: [#altlinux-riscv@freenode](#)

# Порт ALT

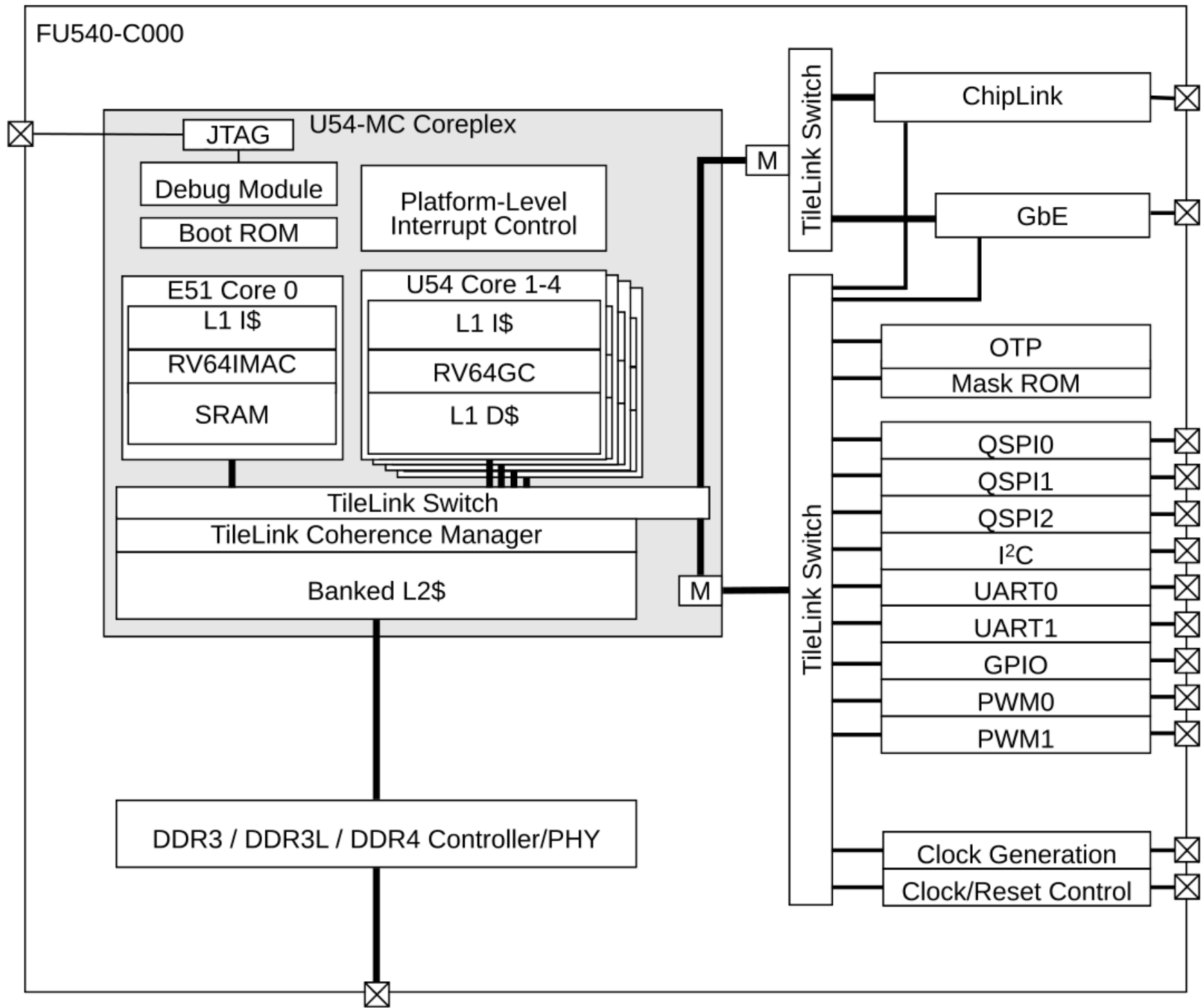


- Ранняя стадия портирования RV64IMAFDC
- Начата native сборка пакетов из Sisyphus на HiFive Unleashed (3110 RPM):  
<ftp://ftp.altlinux.org/pub/people/arei/riscv/repo>
- В целях bootstrap выложен rootfs, который будет обновляться каждый месяц:  
<ftp://ftp.altlinux.org/pub/people/arei/riscv/rootfs>
- IRC: [#altlinux-riscv@freenode](https://freenode.net/join/#altlinux-riscv)

**Спасибо за внимание!**

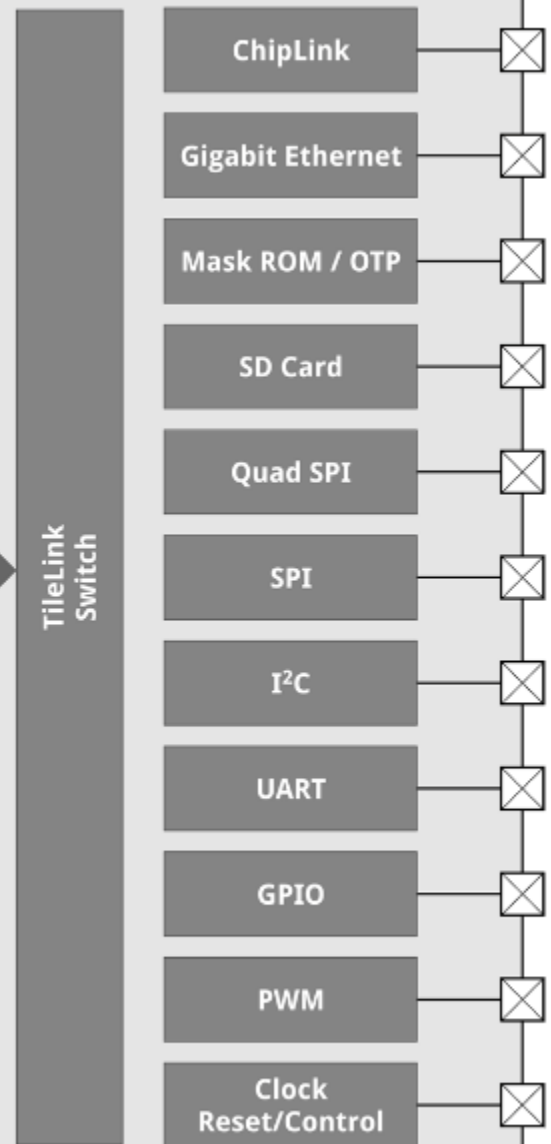
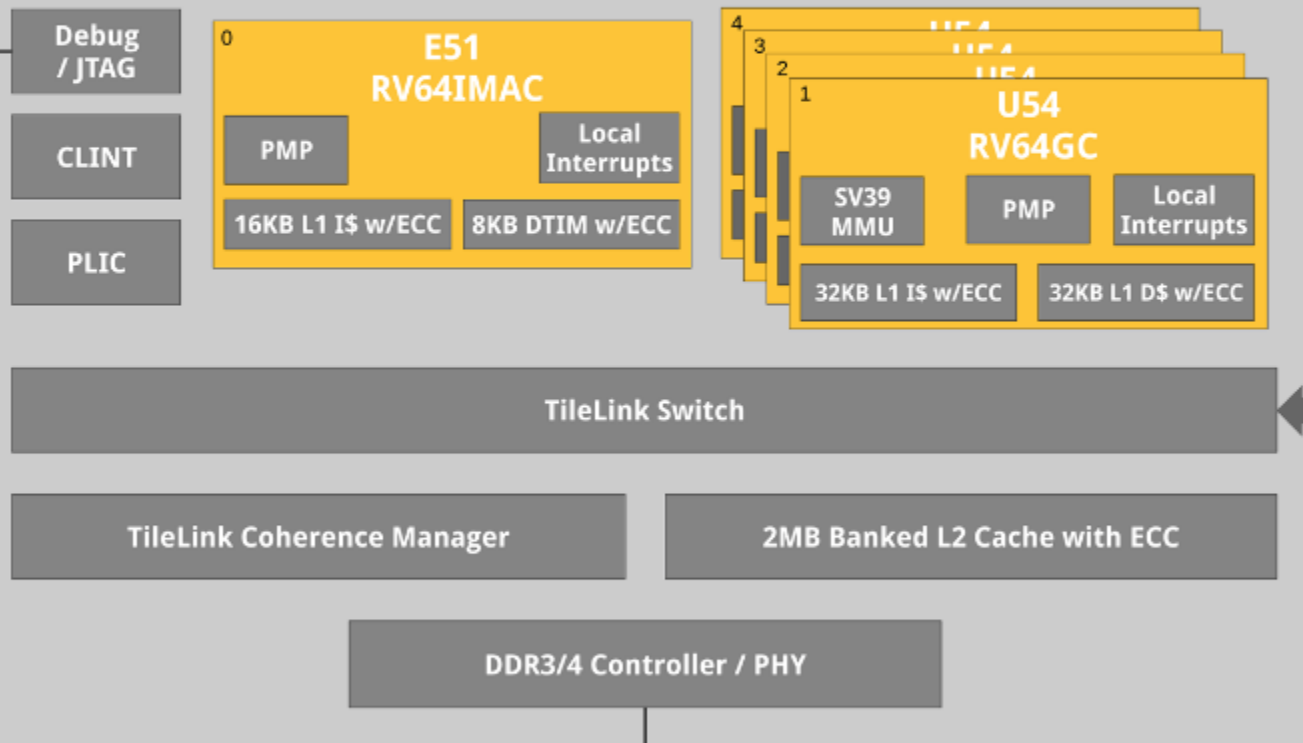
# BACKUP



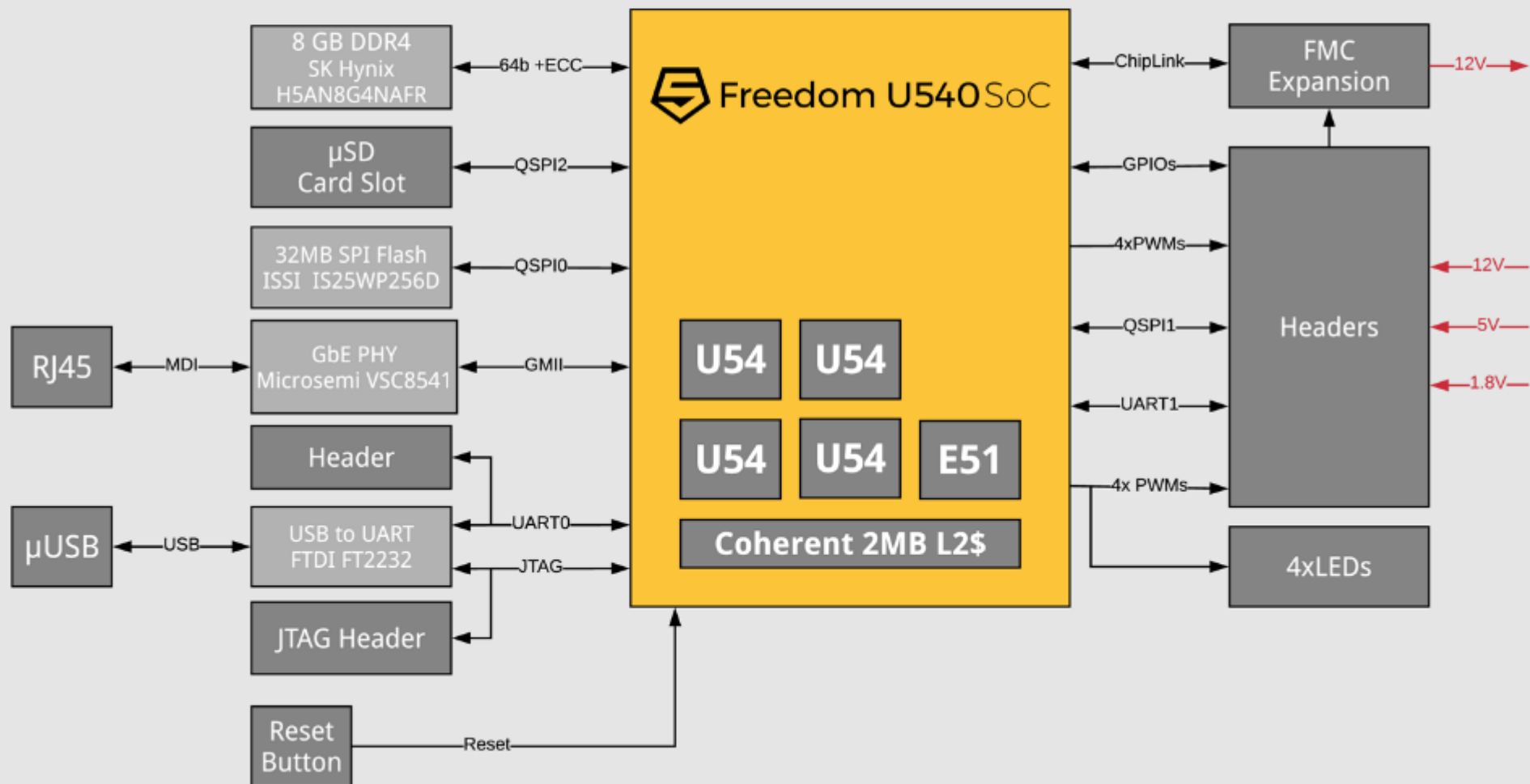
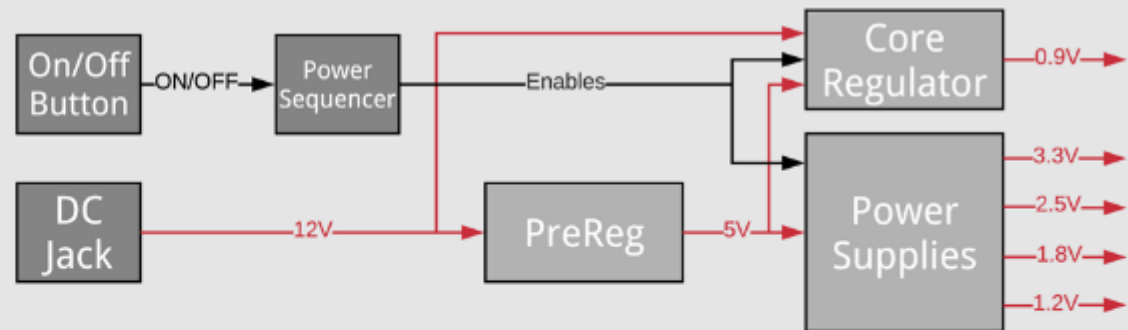


# Freedom U540 SoC

## U54-MC Core Complex



# HiFive Unleashed



Debug Unit

Platform-Level Interrupt Control

OTP

SiFive "E31"  
RV32IMAC  
16K-I\$  
16K-Data SRAM  
320+ MHz

QSPI

SRAM

GPIO

ROM

PWM

UART

CPU

RTC

Timers

TileLink Interconnect

Clock Gen

Power Management